

Verkapseltes Bauelement mit geringer Bauhöhe sowie Verfahren zur Herstellung

- 5 Die Erfindung betrifft ein verkapseltes Bauelement mit einer verringerten Bauhöhe, insbesondere ein mit akustischen Wellen arbeitendes Bauelement, welches auf einem piezoelektrischen Substrat aufgebaut ist.
- 10 Bei elektrischen Bauelementen geht der Trend zunehmend zu Bauelementen ohne massive Gehäuse. Um die Bauelemente dennoch vor Umgebungseinflüssen zu schützen, wurden bereits verschiedene Verfahren zur einfachen Verkapselung der Bauelemente vorgeschlagen. Eine Möglichkeit besteht darin, ein Bauelement
- 15 vollständig mit einem Überzug zu versehen, beispielsweise vollständig in Kunststoff einzubetten, wobei lediglich die elektrischen Anschlüsse für das Bauelement ausgenommen sind. Problematisch ist eine solche Verkapselung jedoch bei solchen Bauelementen, die an einer Oberfläche Bauelementstrukturen
- 20 tragen, die empfindlich gegenüber einer direkten Einbettung sind.

Beispielsweise für Oberflächenwellenbauelemente wurde bereits vorgeschlagen, die auf der Oberfläche eines piezoelektrischen

25 Substrats angeordneten Bauelementstrukturen mit Hilfe einer einfachen und insbesondere aus Kunststoff bestehenden Kappe abzudecken, bevor das Bauelement weiter verkapselt wird. Ein solches von der Anmelderin unter dem Namen PROTEC verwendetes Verkapselungsverfahren und eine solche Verkapselung ist bei-

30 spielsweise aus der EP 0 759 231 B1 bekannt. Da eine derartige integriert herstellbare Kappe für die Bauelementstrukturen selbst nur einen geringen Schutz zur Verfügung stellt, wurde beispielsweise in der DE 198 06 818 A vorgeschlagen, die Bauelemente in Flip-Chip-Anordnung auf einem Träger zu verlöten

35 und anschließend mit einer Folie abzudecken, die zwischen den Bauelementen dicht mit dem Träger abschließt. In weiteren Variationen solcher Folienabdeckungen von Bauelementen wird

auch vorgeschlagen, diese Folien durch Aufbringen einer Metallschicht über der Folie weiter hermetisch abzudichten und diese Metallisierung beispielsweise galvanisch zu verstärken. Nachteilig an diesem Verfahren ist jedoch der aufwendige Laminierprozeß zum Aufbringen der Folie sowie die naßchemische beziehungsweise galvanische Metallisierung, die bereits bei geringen Undichtigkeiten der Folienabdeckung zu einem Eindringen von Feuchtigkeit in die Bauelementstrukturen führen kann.

Aufgabe der vorliegenden Erfindung ist es daher, ein Bauelement anzugeben, welches eine einfache aber dennoch hermetisch dichte Verkapselung aufweist sowie ein Verfahren zu seiner Herstellung.

Diese Aufgabe wird erfindungsgemäß mit einem Bauelement nach Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sowie das Verfahren zur Herstellung des Bauelements sind weiteren Ansprüchen zu entnehmen.

Die Erfindung schlägt eine Bauelementverkapselung vor, wobei der die Bauelementstrukturen tragende Chip zwar ebenfalls in Flip-Chip-Technik mit Hilfe von Bumpverbindungen auf einem Trägersubstrat montiert ist, bei welchem der Chip jedoch nicht mehr wie bisher im Abstand zum Trägersubstrat über diesem angeordnet ist, sondern bei dem die Oberfläche des Chips erfindungsgemäß auf dem Trägersubstrat aufliegt. Dies wird beim erfindungsgemäßen Bauelement dadurch erreicht, daß die Bumpverbindungen nicht direkt auf der Oberfläche des Trägersubstrats angeordnet werden, sondern vielmehr in Ausnehmungen eines Trägersubstrats, so daß es sich praktisch um versenkte Bumps handelt. Am Boden der Ausnehmungen sind lötfähige Anschlußflächen des Trägersubstrats vorgesehen, die über die Bumps mit entsprechenden lötfähigen Metallisierungen auf der Oberfläche des Chips elektrisch leitend verbunden sind.

Vorzugsweise sind die lötfähigen Anschlußflächen auf der Oberfläche der unteren Schicht des dann zumindest zweischichtigen Trägersubstrats aufgebracht, die in den Ausnehmungen der oberen Schicht freigelegt werden. Die Anschlußflächen können dabei mit einer Verdrahtungsstruktur verbunden sein, die letztendlich zu den Außenanschlüssen des Bauelements führt, welche vorzugsweise an der Unterseite des Trägersubstrats angeordnet werden und insbesondere SMD-fähig ausgebildet sind.

Bei einem einschichtigen Trägersubstrat können die Anschlußflächen aber auch von den SMD-fähig ausgebildeten Außenanschlüssen (SMD Pads) gebildet werden, die an der Unterseite des Trägersubstrats die Ausnehmung mit dem darin angeordneten Bump überdeckend verschließen.

Das erfindungsgemäße Bauelement hat den Vorteil einer gegenüber bekannten verkapselten Bauelementen geringeren Bauhöhe, weil der Abstand zwischen Chip und Trägersubstrat minimiert ist, da die Oberfläche des Chips bereits auf dem Trägersubstrat aufliegt.

Das Bauelement hat den weiteren Vorteil, daß die Position und relative Anordnung der Bumps mit Hilfe der Ausnehmungen exakt vorgegeben werden kann. Auf diese Weise ist es möglich, ein kompaktes und flächensparendes Design des Bauelements vorzusehen, welches dadurch noch verbessert wird, daß mit der Erfindung Bumps realisiert werden können, die eine geringere Querschnittsfläche als bisher aufweisen.

Das Aufliegen des Chips hat den weiteren Vorteil, daß auf den Chip einwirkende mechanische Kräfte, wie sie insbesondere bei thermischer Belastung auftreten können, durch die Auflagefläche besser verteilt werden und die Bumpverbindungen dadurch mechanisch entlastet sind. Auch dadurch können die Größen der Bumps minimiert werden, da erfindungsgemäß deren mechanische Trägerfunktion minimiert wird.

Das Aufliegen der Chipoberfläche auf dem Trägersubstrat hat weiterhin den Vorteil, daß bereits durch das Aufliegen eine Abdichtung zwischen Chip und Trägersubstrat erfolgen kann.

- 5 Auf jeden Fall führt dies zu einem nur minimalen Spalt zwischen Chip und Trägersubstrat, der mit einfachen Mitteln weiter abgedichtet werden kann.

- 10 Besonders vorteilhaft wird die erfindungsgemäße Verkapselung für ein Bauelement eingesetzt, welches mit akustischen Wellen arbeitet und beispielsweise als SAW-Bauelement (Oberflächenwellenbauelement), als FBAR-Resonator, als BAW-Resonator oder als SCF-Filter ausgebildet ist. Diesen Bauelementen ist es
15 gemein, daß die physikalischen Eigenschaften und insbesondere die Mitten- oder Resonanzfrequenz der Bauelemente durch mechanische Kräfte beeinflusst werden, die auf das piezoelektrische Substrat des Chips einwirken. Auch reagieren die Eigenschaften dieser Bauelemente empfindlich auf Oberflächen-
20 schichten, die über den Bauelementstrukturen abgeschieden werden.

- Zur Vermeidung von direkt auf die Bauelementstrukturen des Chips einwirkenden Kräften schlägt die Erfindung in einer weiteren Ausgestaltung vor, die Bauelementstrukturen im Bauelement
25 in einem Hohlraum anzuordnen. Dazu wird ein Rahmen vorgesehen, der entweder auf der Oberfläche des Chips oder auf der zum Chip weisenden Oberfläche des Trägersubstrats befestigt ist, der die Bauelementstrukturen im Bauelement umschließt, und auf dem das jeweilige Gegenstück - hier also
30 das Trägersubstrat oder der Chip - als Deckel aufliegt. Die im aus dem Rahmen und den beiden zueinanderweisenden Oberflächen von Trägersubstrat und Chipoberfläche gebildeten Hohlraum angeordneten Bauelementstrukturen sind dabei von allen
35 Seiten geschützt.

Vorzugsweise wird der durch das bloße Aufliegen von Chip oder Trägersubstrat auf dem Rahmen verbleibende Spalt mit einem

den Chip umlaufenden geschlossenen Lotrahmen abgedichtet. Mit einem solchen Lotrahmen kann insbesondere zu Metallisierungen, die auf dem Trägersubstrat und dem Chip an den Kontaktstellen zum Lotrahmen aufgebracht sind, ein guter hermetisch abdichtender Anschluß geschaffen werden. Der Rahmen auf Trägersubstrat oder Chip dagegen umschließt eine Vertiefung, die den Hohlraum für die Bauelementstrukturen geometrisch definiert. Damit ist auch gewährleistet, daß die Bauelementstrukturen in einem exakten Abstand zum Trägersubstrat angeordnet bleiben und daß eine direkte mechanische Einwirkung auf Bauelementstrukturen sicher verhindert wird. Der Rahmen kann dabei erhaben über der Oberfläche von Trägersubstrat oder Chip sein. Möglich ist es jedoch auch, daß der Rahmen vom inneren Rand einer Vertiefung gebildet wird, deren unterer Boden unterhalb des Niveaus der übrigen Oberfläche liegt und die den Hohlraum zur Aufnahme der Bauelementstrukturen bildet.

Als erhabene Struktur ist der Rahmen aus Kunststoff oder einer Metallisierung gebildet und kann integriert mit anderen Komponenten oder Strukturen von Bauelement oder Trägersubstrat erzeugt werden. Insbesondere wenn der Rahmen als Metallisierung auf dem Chip ausgebildet wird, kann er zumindest teilweise zusammen mit den übrigen Metallisierungen, die die Bauelementstrukturen darstellen, erzeugt werden. Ein aus einer Metallisierung bestehender oder mit einer Metallisierung versehener Rahmen hat den Vorteil, daß die Metalloberfläche, insbesondere wenn sie beim Aufliegen des Chips in Kontakt mit einer weiteren Metallisierung tritt, eine gute Abdichtung der Kontaktfläche beziehungsweise des zwischen Trägersubstrat und Chip verbleibenden Spalts darstellt. Die Metallisierung schafft auch guten Kontakt, Haftung und Benetzung zum Lotrahmen, so daß eine hermetische Abdichtung des gesamten Bauelements beziehungsweise der Bauelementstrukturen innerhalb des Hohlraums gewährleistet ist. Möglich ist es jedoch auch, daß die beiden Kontaktflächen, also die Oberfläche des Rahmens und die auf dem Rahmen aufliegende Kontaktfläche ohne zusätzliche Beschichtung sind. Dementsprechend kann die Kontaktflä-

che auf dem Trägersubstrat aus dem Material der oberen Schicht bestehen, die Kontaktfläche auf dem Chip dagegen aus dem Substratmaterial. Unabhängig davon ist es jedoch von Vorteil, im äußeren Bereich der Trennfuge zwischen Trägersubstrat und Chip eine Metallisierung vorzusehen, mit der der genannte Lotrahmen an beiden Teilen abschließen kann.

Das Trägersubstrat ist vorzugsweise aber nicht zwingend eine zumindest zweischichtige Mehrlagenkeramik, die eine LTCC-Keramik, eine HTCC-Keramik oder eine Kombination aus HTCC bzw. LTCC und gegebenenfalls noch Polymerschichten sein kann. Die Keramik kann vorteilhaft als schrumpfarme Keramik (Non Shrinkage) ausgeführt sein. Dies garantiert beim Sintern eine nur geringe Dimensionsänderung, so daß eine in der Grünfolie vorgegebene Geometrie beim Sintern weitgehend erhalten bleibt oder zumindest in reproduzierbarer Art und Weise einen nur geringen Schrumpfprozeß durch Sinterschwund erleidet. Mit LTCC-Keramiken ist es möglich, die Grünfolien mit kostengünstigen Metallisierungen zu versehen, deren Beständigkeit gegenüber den niedrig liegenden Sintertemperaturen der LTCC-Keramik gewährleistet ist.

Möglich ist es jedoch auch, das Trägersubstrat als PCB auszuführen, die als einschichtige oder mehrschichtige Leiterplatte auf Kunststoffbasis ausgebildet ist.

Unabhängig vom Material des mehrschichtigen Trägersubstrats werden dessen Einzelschichten einzeln metallisiert, zumindest auf den Oberflächen, die im mehrschichtigen Trägersubstrat innen liegen. Auch innenliegende Durchkontaktierungen können vor dem Zusammenfügen der Einzelschichten zum mehrschichtigen Substrat vorgesehen werden. Die nach außen, an die Oberflächen des mehrschichtigen Trägersubstrats führenden Durchkontaktierungen können nach Zusammenfügen der einzelnen Schichten eingebracht und metallisiert werden. Bei einer geeigneten als Spiegelschicht wirkenden Metallisierung zwischen den Einzelschichten kann diese auch als Stopschicht für eine Laser-

behandlung dienen, mit der eine Ausnehmung zur Freilegung dieser Metallisierung geschaffen werden kann. Möglich ist es jedoch auch, die Durchkontaktierungen in Form von Ausnehmungen in den einzelnen Schichten zwar bereits vor dem Sintern zu erzeugen. Dann können diese vorteilhaft zunächst mit einem Hilfsstoff gefüllt werden, der sich in einfacher Weise nach dem Sintern wieder entfernen läßt.

Bei einem zweischichtigen Trägersubstrats ist es also nur erforderlich, zwischen erster und zweiter Schicht gelegene Metallisierungsbahnen vor dem Zusammenfügen der beiden Schichten aufzubringen. Zu diesen Metallisierungen führende Durchkontaktierungen können nachträglich in Form von Ausnehmungen vorgesehen werden, in denen die Metallisierung zwischen den beiden Schichten freigelegt sind.

Insbesondere für die Ausnehmungen, in denen die Anschlußflächen freigelegt werden, ist es von Vorteil, wenn der Durchmesser der Ausnehmungen größer ist als der Durchmesser der lötfähigen Anschlußflächen auf der Oberfläche der unteren Schicht. Da der Durchmesser der lötfähigen Anschlußflächen maßgeblich für den Durchmesser der späteren Bumps verantwortlich ist, wird auf diese Weise ein schmaler Bumpdurchmesser ermöglicht, der berührungsfrei in der Ausnehmung angeordnet werden kann, der also die Wände der Ausnehmung nicht berührt. Um solche Anschlußmetallisierungen mit begrenztem Durchmesser zu realisieren, werden vorzugsweise in der unteren Schicht des Trägersubstrats angeordnete Durchkontaktierungen zur Definition der lötfähigen Anschlußflächen der Oberflächen der unteren Schicht hergenommen. Eine solche mit leitfähigem Material gefüllte Durchkontaktierung in der unteren Schicht kann mit ihrer "Oberfläche" die Anschlußmetallisierung in der Ausnehmung der oberen Schicht darstellen. Für diese Ausführungsform wird die Durchkontaktierung in der unteren Schicht vorzugsweise mit Silberpalladium gefüllt, die zur Herstellung eines lötfähigen Anschlusses anschließend noch mit einer galvanischen Kupfer oder Kupfer-Goldschicht versehen werden

kann. Diese Kupfer-Goldschicht kann auch stromlos abgeschieden werden. Als Abschlußschicht ist auch eine Nickel-Goldschicht geeignet, wobei insbesondere die abschließende und insbesondere dünn ausgebildete Goldschicht besondere Vorteile erweist, da sie mit Lot gut benetzbar ist und daher eine automatische Strukturierung der Lotverbindungen, insbesondere der Bumps ermöglicht. Beim Aufbringen von Lotmasse bleibt diese nur an den Stellen haften, die eine gute Benetzbarkeit mit Lot zeigen, also insbesondere die mit einem dünnen Goldüberzug versehenen Flächen.

Die Anschlußflächen auf der Oberfläche unteren Schicht, die später in den Ausnehmungen freigelegt sind, können auch rechteckig sein, beispielsweise Ausschnitte aus streifenförmigen Leiterbahnen. Auch die Ausnehmung kann rechteckig sein und ist wiederum vorzugsweise von größerem Durchmesser als die Breite der in der Ausnehmung freigelegten Leiterbahn, die die Anschlußfläche darstellt.

Die Herstellung der Bumps gelingt mit verschiedenen Verfahren, wobei die erfindungsgemäß vorgeschlagene Maßnahme der Anordnung von Bumps in Ausnehmungen weitere Möglichkeiten zur Herstellung von Bumps bietet, die bislang nicht bekannt waren. In herkömmlicher Weise können die Bumps über den Anschlußflächen durch galvanische Abscheidung erzeugt werden, beispielsweise durch Abscheidung von SnPb, SnAg, SnCu, SnAgCu oder SnAu. An die galvanische Abscheidung kann sich ein Umschmelzen anschließen, was zur Ausbildung der entsprechenden Legierung führt.

Möglich ist es auch, in herkömmlicher Weise die Bumps mittels Sieb- oder Schablonendruck von Lotpaste zu erzeugen und anschließend einen Reflowprozeß durchzuführen, bei dem die Bumps ihre kugelförmige Geometrie erhalten. Speziell auf die erfindungsgemäße Ausgestaltung der Anschlußflächen in den Ausnehmungen ausgerichtet ist ein weiteres Verfahren, bei dem eine Lotpaste in die Ausnehmungen eingerakelt, eingewalzt

oder eingestrichen wird und bei dem anschließend ein Reflow-prozeß durchgeführt wird. Dieses Verfahren hat den Vorteil, daß zum Herstellen der Bumps keine Strukturierung erforderlich ist, da die Abscheidung von Lot automatisch innerhalb
5 der Ausnehmungen erfolgt. Eine weitere erfindungsgemäße Verfahrensvariante, die ausschließlich mit der erfindungsgemäßen Versenkung der Bumps möglich ist, erfolgt durch Einrütteln von Lotkugeln. Dabei wird die Größe der Lotkugeln vorgegeben und damit die Bumpgröße exakt definiert.

10 Eine weitere Möglichkeit zur Herstellung der Bumps besteht darin, anstelle eines Reflowlötens ein Laserbumping durchzuführen, bei dem die Lotkugeln durch punktuelle Erwärmung aufgeschmolzen und dabei an der gewünschten Stelle er-
15 zeugt werden.

Auch ist es möglich, die Bumps durch Stanzen von Zylindern aus Lotfolie über den Ausnehmungen zu erzeugen.

20 Alternativ können die Bumps auch auf den lötfähigen Metallisierungen auf der Oberfläche des Chips erzeugt werden. Dies kann beispielsweise ebenfalls durch galvanische Abscheidung über den entsprechenden Metallisierungen erfolgen. Auch ein Schablonendruck von Lotdepots auf den Metallisierungen und
25 ein anschließender Umschmelzprozeß ist möglich. Da auch hier die Benetzbarkeit der lötfähigen Metallisierungen die Strukturierung erleichtert, kann eine unterschiedliche Benetzbarkeit von metallischen Strukturen zur Strukturierung der Bumps auf dem Wafer beziehungsweise auf dem Chip verwendet werden.

30 Beispielsweise ist es möglich, einen Großteil der auf dem Chip befindlichen Metallisierungen zu passivieren, beispielsweise durch Erzeugen einer anodischen Oxidschicht, die zusätzlich noch mit einer aufgetragenen mineralischen Schicht, beispielsweise einer dünnen Siliziumoxidschicht oder einer
35 dünnen Siliziumnitridschicht abgedeckt sein kann. Die nicht von dieser Passivierung bedeckten Oberflächen bleiben dann mit Lot benetzbar oder speziell durch geeignete weitere

Schichten, sogenannte Underbumpmetallisierungen - UBM - mit Lot benetzbar gemacht werden, während die passivierten Oberflächen der Metallisierung die Lötstopmmaske darstellen.

- 5 Auch auf der Oberfläche des Chips ist eine Herstellung der Bumps mittels Laserbumping möglich.

Neben den Bauelementstrukturen und den lötfähigen Metallisierungen sind auf der Oberfläche des Chips erfindungsgemäß noch
10 weitere Metallisierungen vorhanden, die ein Abdichten des erfindungsgemäßen Bauelements mit dem Lötrahmen erleichtern. Dazu ist der Chip im Bereich seiner Unterkante, die von der die Bauelementstrukturen tragenden Oberfläche und den Stirnflächen gebildet wird und die beim Bauelement zum Trägersubstrat weist, mit einer Metallisierung versehen. Diese kann
15 gleichzeitig mit den lötfähigen Metallisierungen erzeugt werden, beispielsweise mit einer Sputterprozeß. Dabei wird zunächst eine Schichtenfolge Titan (für die bessere Haftung) und Kupfer erzeugt. Eine ausreichende Dicke dieser Schicht
20 kann bereits durch Sputtern erzielt werden, beispielsweise 100 bis 200 nm Titan und mehr als 6 μm Kupfer. Möglich ist es jedoch auch, eine dünne Titan/Kupferschicht zu erzeugen (1 bis 2 μm Kupfer) und diese anschließend galvanisch zu verstärken. Dabei kann die Kupferschicht auf eine Dicke von zirka
25 10 bis 20 μm aufgedickt werden. Vorzugsweise wird der Rahmen auf dem Trägersubstrat dann ebenfalls mit einer entsprechenden Metallisierung realisiert, wobei eine Strukturierung des Rahmens mit Hilfe einer Photoresistmaske durch strukturiertes Aufputtern gelingt. Die Maske kann auch so ausgebildet
30 sein, daß sie während des galvanischen Aufdickprozesses auf dem Trägersubstrat verbleiben kann.

Der Rahmen wird vorzugsweise so strukturiert, daß der Chip im Bereich seiner unteren Chipkante auf dem Rahmen so aufliegen
35 kann, daß noch ein Rahmenbereich vom Chip unbedeckt bleibt. Die Metallisierung auf dem Chip ist dabei so ausgebildet, daß vorzugsweise auch Stirnflächen des Chips metallisiert sind.

Vorteilhafte Zusammensetzungen zum Aufbringen eines flüssigen Lots sind die Zusammensetzungen SnAg, SnAgCu, SnCuAg oder SnAu. Vorzugsweise wird zur Herstellung des Lotrahmens ein
5 hochschmelzendes Lot verwendet. Dies hat den Vorteil, daß Lotverbindungen aus hochschmelzendem Lot in späteren Verarbeitungsschritten beim Auflöten des Bauelements unverändert bleiben und weder erweichen noch sich anderweitig verändern. Damit kommt es weder zu einer Verspannung der Lotverbindungen
10 noch zu einem Verrutschen des Bauelements gegenüber seinem ursprünglichen Zustand. Dies erhöht die Lebensdauer des Bauelements und verhindert, daß beim Weiterverarbeiten des Bauelements Schäden an Bauelement durch Erweichen von Lotstellen erzeugt werden.

15 In einer weiteren Ausführung der Erfindung wird die zum Kontakt mit dem Lotrahmen vorgesehene Metallisierung im Bereich der Chipunterkante und zumindest in einem streifenförmigen Bereich unterhalb der Chipunterkante auf dem Trägersubstrat
20 nach dem Auflöten des Chips vorgenommen. Auch dies kann mit einem Sputterprozeß erfolgen. In diesem Fall ist es möglich, die gesamte Rückseite des Chips mit einer Metallisierung zu versehen und diese vorteilhaft mit einem Anschluß auf dem Trägersubstrat zu verbinden, die später zum Anschluß an Masse
25 vorgesehen ist. Dementsprechend kann auch der vorzugsweise aus Metall ausgebildete Rahmen sowohl mit der Metallisierung auf der Rückseite des Chips als auch mit Masse verbunden werden. Damit gelingt eine elektromagnetische Abschirmung des Bauelements.

30 Als weiterer Vorteil zeigt sich, daß der mit Masse verbundene Rahmen vorzüglich auch zum Ableiten von Pyrospannungen geeignet ist, die beispielsweise während des Herstellprozesses und der damit verbundenen Temperatureinwirkungen auf das piezo-
35 elektrische Substrat des Chips entstehen können. Vorzugsweise wird der Rahmen auch mit Metallisierungen verbunden, die neben den Bauelementstrukturen auf der Oberfläche des Chips in

Freiflächen angeordnet sind, auf denen solche Pyroladungen nur entstehen können. Möglich ist auch, den Rahmen so zu strukturieren, daß er solche Freiflächen mit abdeckt. Mit diesen Metallisierungen oder dem entsprechend strukturieren
5 Rahmen in nicht aktiven Freiflächen gelingt es, pyroelektrisch erzeugte Ladungen aufzunehmen und unschädlich an den Rahmen und damit an Masse abzuleiten.

Die Ableitung von Pyroladungen kann weiterhin durch die vorteilhafte Maßnahme unterstützt werden, daß die Oberfläche des
10 Chips an den nicht von Bauelementstrukturen belegten Freiflächen aufgeraut wird. Durch Aufrauung und/oder Strukturierung der Oberfläche des Chips wird eine Entladung der Oberfläche durch Überschlüge auf den Rahmen, der sich möglichst
15 nahe an der Chipoberfläche befindet, provoziert und die Freiflächen dadurch entladen.

Die Aufrauung der Oberfläche hat den weiteren Vorteil, daß darauf aufgebrachte Metallisierungen eine bessere Haftung be-
20 sitzen. Die Aufrauung der Chipoberfläche kann dabei durch einen Strahlprozeß erfolgen, bei dem ein Partikelstrom auf den Chip gerichtet wird. Empfindliche Bereiche der Chipoberfläche, insbesondere die Bauelementstrukturen, werden dabei durch einen Lack oder eine strukturierte Folie geschützt, da
25 weiche Oberflächen beim Strahlprozeß nicht abgetragen werden. Möglich ist es auch, die Oberfläche durch einen selektiven Ätzprozeß aufzurauen, der die empfindlichen Strukturen, insbesondere die Bauelementstrukturen nicht angreift und nur das Material des Chips, also das piezoelektrische Substrat ätzt.
30 Dazu kann beispielsweise ein Flurplasma verwendet werden, mit dem die Bauelementstrukturen unbeschädigt bleiben.

Eine auf der Rückseite des Chips aufgebrachte Metallisierung kann in erfindungsgemäßer Weise zur Herstellung einer Be-
35 schriftung des Bauelements dienen. Dazu wird über diese Metallisierung eine Lackschicht aufgebracht, die zur Metallisierung einen farblichen Kontrast ausbildet. Durch Laser-

schreiben wird die Lackschicht selektiv entfernt und der Schrifteffekt erzielt. Zur Herstellung einer Kontrastwirkung können auch andere Hilfsschichten über der Metallisierung erzeugt werden, die sich mit Laser abheben lassen. Beispiels-
5 weise sind auch unterschiedliche Metallisierungsschichten geeignet, sofern sie gegeneinander einen optischen Kontrast ausbilden können. Dieser Kontrast kann auch in unterschiedlicher Reflexionswirkung der Metallisierung oder in einer unterschiedlichen Metallfarbe bestehen. Als Kontrastmittel be-
10 sonders geeignet ist beispielsweise Schwarznickel. Dieses bildet mit metallisch glänzenden Metallisierungen oder mit Kupfer einen guten Kontrast.

15 Im folgenden wird die Erfindung und insbesondere das Verfahren zur Herstellung eines erfindungsgemäßen Bauelements anhand von Ausführungsbeispielen und der dazugehörigen schematischen und daher nicht maßstabsgetreuen Figuren näher erläutert.

20 Figur 1 zeigt ein erfindungsgemäßes Bauelement im schematischen Querschnitt

Figur 2 zeigt verschiedene Varianten im auszugsweise dargestellten schematischen Querschnitt

25

Figur 3 zeigt ein Trägersubstrat vor dem Aufsetzen des Chips

30

Figur 4 zeigt das Trägersubstrat mit aufgesetzten Chip und Lotrahmen

Figur 5 zeigt verschiedene Ausführungen von Ausnehmungen mit lötfähigen Anschlußflächen

35

Figur 6 zeigt verschiedene Verfahrensstufen während des Aufsetzens des Chips auf das Trägersubstrat im schematischen Querschnitt

Figur 7 zeigt im schematischen Querschnitt eine weitere Metallisierung zum Anschluß des Lotrahmens.

5 Figur 8 zeigt im schematischen Querschnitt den auf dieser Metallisierung aufgebrauchten Lotrahmen.

Figur 9 zeigt im schematischen Querschnitt wie mit einem Strahlverfahren sowohl die Schichtdicke des Chips als auch diejenige des Trägersubstrats im Bereich zwischen den Chip reduziert wird.

10

Figur 10 zeigt im schematischen Querschnitt wie ein Chip mit abgeschrägten Kanten direkt auf den Lotrahmen aufgesetzt wird.

15

Figur 11 zeigt im schematischen Querschnitt eine Ausführung der Erfindung mit einem einschichtigen Trägersubstrat.

20

Figur 1 zeigt eine erste Ausführungsform eines erfindungsgemäßen Bauelements im schematischen Querschnitt. Das Bauelement besteht im wesentlichen aus dem Chip CH, beispielsweise einem piezoelektrischen Substrat, auf dessen einer Oberfläche Bauelementstrukturen BS aufgebracht sind, wie beispielsweise streifenförmige Metallisierungen eines Oberflächenwellenbauelements (SAW-Bauelement). Der Chip ist auf einem Trägersubstrat TS aufgebracht, welches zumindest eine obere Schicht OS und eine untere Schicht US umfaßt.

25

In der oberen Schicht OS des Trägersubstrats TS sind Ausnehmungen AN vorgesehen. Am Boden der Ausnehmungen sind lötfähige Anschlußflächen LA angeordnet, über denen die Bumpverbindungen BU angeordnet sind. Die Bumps BU verbinden die lötfähigen Anschlußflächen LA mit den lötfähigen Metallisierungen LM auf der Oberfläche des Chips CH. Der Chip selbst sitzt hier auf einem Rahmen RA auf, welcher den Abstand zwischen

30

35

der Oberfläche der oberen Schicht OS und der Oberfläche des Chips CH definiert und einen direkten Kontakt der Bauelementstrukturen BS mit dem Trägersubstrat TS verhindert. Im direkten Kontakt mit der Chipunterkante und den benachbarten Oberflächenbereichen des Trägersubstrats ist den gesamten Chip umschließend ein Lotrahmen LR angeordnet, der den Chip CH gegen das Trägersubstrat TS abdichtet. Zwischen oberer Schicht OS und unterer Schicht US sind Leiterbahnen LB vorgesehen, die eine Verdrahtungsebene bilden können. Weitere Durchkontaktierungen DK durch die untere oder gegebenenfalls weitere Schichten schaffen eine elektrisch leitende Verbindung zu den elektrischen Anschlüssen für die Kontaktierung des Bauelements nach außen, beispielsweise zu den SMD-fähigen Kontakten KO auf der Unterseite des Trägersubstrats.

15

Figur 2 zeigt weitere Variationen eines erfindungsgemäßen Bauelements, die sich bezüglich der Anordnung des Rahmens von der Ausführung in Figur 1 unterscheiden.

20 .Figur 2a zeigt eine Anordnung im schematischen Querschnitt, bei der der Rahmen auf der Oberfläche des Trägersubstrats beziehungsweise auf dessen oberer Schicht OS so dimensioniert ist, daß der Chip nur auf einem innenliegenden Teil des Rahmens RA aufsitzt. Über dem freiliegenden Bereich des Rahmens RA ist der Lötrahmen LR angeordnet, der hier nicht mit dem Substrat sondern mit dem Rahmen und dem Chip CH hermetisch dicht abschließt. Der Rahmen RA wiederum schließt hermetisch dicht mit dem Trägersubstrat ab.

30 Figur 2b zeigt eine Ausführung, bei der eine Vertiefung VT in der oberen Schicht OS des Trägersubstrats vorgesehen ist. Die Ränder der Vertiefung VT bilden den Rahmen RA, auf dem der Chip CH aufliegt. Der Rahmen ist dabei auf gleichem Niveau wie die übrige Oberfläche der oberen Schicht OS. Die Höhe h₂ der Vertiefung VT bestimmt den Abstand der Chipoberfläche zum Trägersubstrat beziehungsweise zur oberen Schicht in der Vertiefung VT.

35

Figur 2c zeigt eine Anordnung, bei der der Chip ganzflächig auf der oberen Schicht OS des Trägersubstrats aufliegt. In dieser Ausführungsform werden die Bauelementstrukturen BS (in der Figur nicht dargestellt) vorzugsweise von einer Passivierungsschicht geschützt werden, die ausreichend mechanisch stabil beziehungsweise ausreichend hart ist. Eine solche Passivierungsschicht kann beispielsweise eine anodische Oxidschicht auf dem üblicherweise aus Aluminium bestehenden Bauelementstrukturen darstellen. Diese Passivierung kann zusätzlich durch eine SiO_2 -Schicht oder eine Si_3N_4 -Schicht bedeckt sein. Diese Ausführung zeichnet sich durch besonders einfache Herstellbarkeit aus, da auf die Herstellung des Rahmens oder einer Vertiefung verzichtet werden kann.

Figur 3 zeigt in schematischer Draufsicht die Oberflächengeometrie des Trägersubstrats TS vor dem Aufbringen des Chips CH. Der Rahmen RA folgt vorzugsweise der äußeren Form des Chips CH und ist daher insbesondere rechteckig ausgebildet. Gegebenenfalls abgeschrägte Chipkanten führen zu einer entsprechend variierten Form des Rahmens RA. Innerhalb des Rahmens sind Ausnehmungen AN dargestellt, in denen die Bumps BU zum Auflöten und Kontaktieren des Chips CH angeordnet werden.

Figur 4 zeigt in schematischer Draufsicht eine Ausführungsform des Bauelements nach dem Aufbringen des Chips CH und des Lotrahmens LR. Aus der Figur wird klar, daß der Lotrahmen LR den Chip CH vollständig umschließt und somit eine gute Abdichtung der Bauelementstrukturen und des gegebenenfalls vorhandenen Hohlraums und zwischen Chip und Trägersubstrat darstellt.

Figur 5 zeigt in schematischer Draufsicht verschiedene Ausführungen, wie die lötfähigen Anschlußflächen LA in den Ausnehmungen AN relativ zu diesen strukturiert sein können.

Figur 5b zeigt eine Anordnung, bei der die Grundfläche der lötfähigen Anschlußflächen LA nicht rund sondern beispielsweise rechteckig ist. Eine solche Form kann beispielsweise erhalten werden, wenn in den Ausnehmungen AN eine auf der
5 Oberfläche der unteren Schicht angeordnete Leiterbahn LB freigelegt ist.

Figur 5c zeigt ebenfalls eine rechteckige lötfähige Anschlußfläche LA, die im Gegensatz zu den Figuren 5a und 5b jedoch
10 in einer ebenfalls rechteckigen Ausnehmung AN angeordnet ist. Die Ausnehmungen können auch andere Querschnitte aufweisen und beispielsweise oval sein.

In Figur 6 ist anhand schematischer Querschnitte dargestellt,
15 wie das Auflöten des Chips auf das Trägersubstrat TS erfolgt. Dargestellt ist die Variante, bei der die Bumps vor dem Auflöten in den Ausnehmungen der oberen Schicht erzeugt sind. Der Bump BU wird dazu gegebenenfalls mit einem Flußmittel benetzt, bevor der Chip CH so aufgesetzt wird, daß die lötfähigen
20 Metallisierungen LM auf der Oberfläche des Chips in Kontakt mit dem Bump BU kommen und auf diesem aufsitzen, wie in Figur 6b dargestellt. Das Aufsetzen kann dabei mit einer hohen Genauigkeit erfolgen, deren Standardabweichung nur wenige μm beträgt. Figur 6b zeigt auch klar, daß der Bump über das
25 Niveau des Rahmens RA hinaus ragt, so daß der Chip nach dem Aufsetzen auf dem Bump eine Höhe h_5 zum Substrat aufweist, die größer ist als die Höhe des Rahmens h_2 .

Das Verlöten wird beispielsweise mittels eines Reflow-
30 Prozesses durchgeführt. Dabei kommt es zu einem Erweichen des Bumps BU, der daraufhin sowohl mit den lötfähigen Anschlußflächen LA als auch mit den lötfähigen Metallisierungen LM auf der Oberfläche des Chips benetzt und mit diesen eine feste Verbindung eingeht. Dabei kommt es zu einer Querschnitts-
35 vergrößerung, in deren Folge sich die Höhe des Bumps reduziert und dabei den Chip nach unten zieht und auf den Rahmen RA aufsetzt. In dieser Lage ist eine sichere Fixierung des

Chips durch die große durch den Rahmen RA zur Verfügung gestellte Auflagefläche gewährleistet und ein konstanter Abstand h_2 des Chips zum Trägersubstrat eingestellt. Das Ausmaß der Kontraktion des Bumps wird durch das Verhältnis der Flächen der entsprechenden Underbumpmetallisierungen UBM (hier die lötfähige Anschlußfläche LA und die lötfähige Metallisierung LM) zum Volumen des Bumps bestimmt. Je größer die UBM relativ zur Masse des Bumps sind, desto größer ist das Ausmaß der Kontraktion. Vorzugsweise wird dieses Verhältnis jedoch so eingestellt, daß die Kontraktion gerade eben zum Aufsetzen des Chips auf das Trägersubstrat beziehungsweise auf den Rahmen RA ausreicht. So wirken nach dem Löten minimale Zugkräfte auf die Lötstellen bzw. auf die Bumps ein.

Figur 7 zeigt das Bauelement nach dem nächsten Schritt, bei dem ganzflächig auf der Oberfläche von Substrat und Chip von der Rückseite her eine dünne Metallisierung M aufgebracht wurde, beispielsweise durch Aufsputtern. Diese Schicht hat vorzugsweise den gleichen Aufbau wie die UBM. Die Schicht dient insbesondere zur besseren Benetzung der Oberflächen mit dem Lotrahmen LR, der im nächsten Schritt aufgebracht wird. Diese Metallisierung M kann galvanisch oder stromlos verstärkt werden, z.B. mit Cu und/oder Ni oder Pt und abschließend noch mit einer dünnen Au Schicht versehen werden.

Figur 8 zeigt das Bauelement nach dem Aufbringen des Lotrahmens LR, der einen guten hermetischen Abschluß zu der Metallisierung M ausbildet.

In einer weiteren Ausgestaltung der Erfindung kann der Chip nach dem Aufbringen des Lotrahmens LR gedünnt werden, beispielsweise indem die gesamte Anordnung einem Partikelstrom in einem Strahlverfahren ausgesetzt wird. Dabei wird die Oberfläche mit feinen entsprechend harten Partikeln eines Feststoffs, beispielsweise Aluminiumoxidpartikeln oder Quarzpartikeln bestrahlt. Je härter die Oberfläche unter dem Partikelstrom ist, desto stärker ist der mit dem Partikelstrom

bewirkte Materialabtrag. Umgekehrt kann eine weiche Oberflächenbeschichtung als Maske und Schutz vor dem Partikelstrom dienen und verhindert, daß an diesen Stellen Material abgetragen wird. Auch eine Metallisierung wie beispielsweise der Lotrahmen kann zur Strukturierung hergenommen werden. Wird beispielsweise die in Figur 7 erzeugte Metallisierung M durch ein geeignetes Verfahren nach dem Aufbringen des Lotrahmens um diesen herum wieder entfernt und anschließend ganzflächig ein Strahlverfahren eingesetzt, so kommt es sowohl zu einer Dünnung des Chips CH als auch zu einer Dünnung des Substrats außerhalb des Lotrahmens LR, der hierbei als Maske dient. Bei diesem Dünungsverfahren kann die Dicke des Wafers, die vorher beispielsweise bei zirka 250 µm liegt, auf eine Dicke von abschließend 50 bis 100 µm oder weniger gedünnt werden. Dieses Dünnen ist erfindungsgemäß besonders einfach möglich, da der Chip spannungsfrei auf dem Rahmen beziehungsweise auf dem Trägersubstrat aufliegt, so daß er einerseits durch das Strahlverfahren keiner zu hohen mechanischen Belastung ausgesetzt wird und andererseits nach dem Dünnen noch ausreichend sicher durch das Trägersubstrat beziehungsweise den Rahmen RA stabilisiert wird. Das Strahlverfahren kann auch so durchgeführt werden, daß es um den Lotrahmen herum zu einer Durchtrennung des Trägersubstrats TS führt, wobei die einzelnen auf einem gemeinsamen Trägersubstrat angeordneten Bauelemente vereinzelt werden. Möglich ist es natürlich auch, vor dem Vereinzeln der Bauelemente eine entsprechend weiche strukturierte Resistmaske vorzusehen und mit dieser den Chip zu bedecken, um ihn gegebenenfalls vor zu starkem Dünnen zu schützen.

In Figur 9 sind die durch das Strahlverfahren abzutragenden Bereiche schraffiert dargestellt.

Figur 11 zeigt eine Ausführung der Erfindung mit einem nur einschichtigen Trägersubstrat. Dabei kann zunächst auf der Unterseite des Trägersubstrats ein Lötpad für einen SMD Kontakt KO an einer Stelle erzeugt werden, über der die Ausneh-

5 mung AN vorgesehen wird. Diese kann dann durch Materialabtrag von oben erzeugt werden, beispielsweise durch Laser oder durch ein Partikelstrahlverfahren. Wird ein Laser verwendet, so kann der SMD Kontakt KO mit einer Spiegelschicht als Laserstoppschicht versehen werden, z.B. mit einer dünnen Goldschicht. Der in der Ausnehmung AN freigelegte SMD Kontakt KO dient dann als Anschlußfläche AF, auf der der Bump BU aufliegt und auf der er aufgelötet wird. Das einschichtige Trägersubstrat TS kann dabei sowohl aus Keramik als auch aus
10 Leiterplattenmaterial gefertigt sein. Entsprechend können die SMD Kontakte KO dann aus ggf. galvanisch oder stromlos verstärkter Siebdruckpaste bzw. im zweiten Fall aus Kupfer bestehen. Dicken von ca. 20 - 35 μm sind dabei für die mechanische Funktion der Kontakte KO ausreichend.

15 Im folgenden werden einzelne Verfahrensschritte noch näher erläutert.

Herstellen eines keramischen Trägersubstrats

20 Das mehrschichtige Trägersubstrat TS wird aus keramischen Grünfolien hergestellt, die mit den erforderlichen Metallisierungen, die später zwischen den einzelnen Schichten des mehrschichtigen Substrats liegen sollen, bedruckt werden. Dazu ist beispielsweise eine Ag/Pd haltige Paste geeignet. Die
25 Öffnungen (Vias) für die Durchkontaktierungen und die Ausnehmungen AN zur Aufnahme der Bumps BU können bereits in den Grünfolien erzeugt werden, beispielsweise durch Stanzen. Die mit Elektrodenmustern versehenen Grünfolien werden anschließend laminiert und gesintert. In einer Ausführung ist es möglich, die bereits in der Grünfolie eingebrachten Vias mit einer Füllmasse zu verschließen, die nach dem Sintern wieder entfernt werden kann. Dazu sind folgende Verfahrenskombinationen möglich:

35 a) Füllen der Vias mit Aluminiumoxid und Entfernen des Aluminiumoxids nach dem Sintern mit einem Strahlprozeß

b) Füllen der Vias mit Bleioxid PbO und Entfernen des Bleioxids durch Auflösen mit Essigsäure nach dem Sintern

- 5 c) Füllen der Vias mit kohlenstoffhaltigen Materialien und Entfernen dieser Materialien oder deren verbliebenen Reste nach dem Sintern durch Auflösen mit Essigsäure.

Nach dem Sintern werden auch die äußeren Metallisierungen, Leiterbahnen und Anschlußflächen/Kontakte erzeugt, beispielsweise durch Aufdrucken einer leitfähigen Paste, die anschließend stromlos oder galvanisch verstärkt werden kann. Zur Verstärkung können die Metalle Nickel und/oder Kupfer und/oder Platin abgeschieden werden und vorzugsweise mit einer dünnen Goldschicht zur besseren Benetzbarkeit mit Lot überzogen werden.

Herstellung der Metallisierungen auf dem Chip

- 20 Ein mit Bauelementstrukturen BS versehener Chip CH hat bereits alle erforderlichen Metallisierungen einschließlich lötfähiger Metallisierungen und Massebelegungen aus dem Material vorgebildet, aus dem auch die Bauelementstrukturen BS bestehen. Dies ist insbesondere Aluminium, eine Aluminium umfassende Legierung oder ein Aluminium und Kupferschichten umfassender Mehrschichtaufbau. Zur Herstellung der lötfähigen Metallisierungen LM auf dem Chip wird die vorgebildete Struktur an den dafür vorgesehenen Stellen verstärkt und dazu vorzugsweise zunächst eine Fotolackmaske aufgebracht und strukturiert.
- 30 Anschließend werden die lötfähigen Metallisierungen LM in Form eines Schichtaufbaus $Ti/Pt/Au$ aufgebracht, beispielsweise durch Sputtern oder Aufdampfen. Der Gesamtaufbau der lötfähigen Metallisierungen LM weist anschließend eine Schichtdicke von beispielsweise 400 nm auf, was in der gleichen Größenordnung wie die darunterliegende aluminiumhaltige Metallisierung für die Bauelementstrukturen liegt.
- 35

In einer Variante des Verfahrens wird die Fotolackmaske so strukturiert, daß die Maske auf den für die lötfähigen Metallisierungen LM vorgesehenen Flächen verbleibt. Die nicht von der Maske abgedeckten Metallisierungsgebiete, insbesondere die Bauelementstrukturen werden anschließend einer Passivierung unterzogen, beispielsweise einer anodischen Oxidation. Nach Entfernen der Maske können die lötfähigen Metallisierungen LM in einfacher Weise selektiv auf den freiliegenden metallischen Flächen galvanisch erzeugt werden, da die passivierten Oberflächen der Bauelementstrukturen keine Leitfähigkeit aufweisen.

Anstelle der Metallisierungsfolge Titan/Platin/Gold für die lötfähigen Metallisierungen kann auch Titan/Kupfer/Gold oder Titan/Nickel/Gold abgeschieden werden. Einzelne Schichten können dabei sowohl galvanisch als auch stromlos erzeugt werden, während dünne Schichten vorzugsweise aufgesputtert werden.

In einer vorteilhaften Ausgestaltung wird die Haftung der Bumps auf den lötfähigen Metallisierungen durch einen der folgenden Schritte a oder b verbessert:

- a) Aufrauen der Chipoberfläche vor dem Aufbringen der Metallisierungen im Bereich der lötfähigen Metallisierungen
- b) Strukturiertes Aufbringen der Metallisierungen so, daß eine durchbrochene, streifen-, gitter- oder siebartige Struktur der lötfähigen Metallisierungen entsteht, in deren Durchbrechungen die Oberfläche des Chips freigelegt ist.

Das Aufrauen der Chipoberfläche kann mit einem Strahlprozeß durchgeführt werden, bei dem empfindliche Strukturen wie die Bauelementstrukturen mit einer Resistmaske, einem Lack oder einer Folie geschützt werden können.

Das Strukturierte Aufbringen der Metallisierungen kann bei der Definition der Bauelementstrukturen mit erfolgen, das zum Beispiel mit Abhebetechnik erfolgt. Möglich ist es auch, die Durchbrechungen in einer zunächst großflächig aufgetragenen Metallsierung nachträglich durch strukturierenden Materialabtrag zu erzeugen.

Herstellung eines Rahmens

Der in einem Teil der Ausführungsbeispiele vorgesehene und den Chipabstand h_2 zum Träger garantierende Rahmen RA kann entweder auf der Oberfläche des Chips CH, oder auch auf der Oberfläche der oberen Schicht OS des Trägersubstrats TS aufgebracht werden. Während ein auf dem Chip aufgetragener Rahmen vorzugsweise als Kunststoffrahmen ausgebildet wird, wird ein auf dem Trägersubstrat ausgebildeter Rahmen vorzugsweise in Form einer Metallisierung oder einer Siebdruckpaste, die elektrisch leitfähig sein kann, realisiert. Für diese Metallisierung auf dem Trägersubstrat sind insbesondere die genannten für die lötfähigen Anschlußmetallisierungen geeigneten Metallschichtfolgen bevorzugt. Über einer dünnen Titanschicht kann stromlos Kupfer in einer Stärke von zirka 1 bis 2 μm aufgebracht werden. Möglich ist es auch, daß Kupfer galvanisch zur Verstärken, beispielsweise mit einer zuzüglichen 10 bis 20 μm dicken Kupferschicht und/oder einer bis zu 10 μm dicken Mittelschicht.

Der Rahmen folgt in seinen äußeren Abmessungen den Chipaußenkanten und kann nach Innen eine Strukturierung aufweisen, um Freiflächen auf dem piezoelektrischen Substrat des Chips zu kontaktieren oder um auf den Freiflächen vorhandene Massebelegungen mit dem Rahmen zu kontaktieren.

Ein aus Kunststoff bestehender Rahmen auf dem Chip kann aus einem Photolack erzeugt werden oder mit Hilfe einer Photolithographie aus einer anderen Schicht strukturiert werden.

Herstellung der lötfähigen Anschlußflächen

Die lotfähigen Anschlußflächen AF werden am Boden der Ausnehmungen in der oberen Schicht OS hergestellt. Die Grundmetallisierung kann eine mittels Silber/Palladiumpaste aufgedruckte Leiterbahn beziehungsweise eine Verdrahtungsstruktur zwischen oberer und unterer Schicht sein, oder alternativ aus dem oberen Abschluß einer Durchkontaktierung DK durch die untere Schicht US bestehen. Die Durchkontaktierung DK ist üblicherweise ebenfalls mit Silber/Palladiumpaste verschlossen. Die lötfähigen Anschlußflächen AF werden dann nach der Freilegung der Metallisierung in den Ausnehmungen durch galvanische oder stromlose Verstärkung mit Kupfer/Goldschichten oder mit Nickel/Goldschichten hergestellt. Die Verstärkung der Metallisierung kann durch die Ausnehmungen AN hindurch erfolgen.

Herstellung der Bumps

Die Bumps können in den Ausnehmungen der oberen Schicht OS erzeugt werden, wobei folgende Verfahrensschritte geeignet sind:

a) Galvanische Abscheidung von SnPb, SnAg, SnCu, SnAgCu, SnAu und anschließendes Umschmelzen, wobei die entsprechende Legierung entsteht.

b) Durch Sieb- oder Schablonendruck von Lotpaste, und einem anschließenden Reflowprozeß zum Umschmelzen des Lots.

c) Durch Ausnutzen der Ausnehmungen als Schablone, die durch Einrakeln von Lotpaste mit Lot gefüllt werden kann, welches anschließend in einem Reflowprozeß umgeschmolzen wird.

d) Durch Einrütteln von Lotkugeln geeigneter Größe und anschließenden Reflowprozeß. Dabei werden die Lotkugeln so dimensioniert, daß die umgeschmolzenen Lotkugeln bis zum Boden

der Ausnehmung AN absinken und die dort befindliche Anschlußfläche kontaktieren können.

e) Durch Laserbumping

5

f) Durch gerichtetes Ausstanzen von Zylindern aus Lotfolie direkt über den Ausnehmungen.

Alternativ können die Bumps auf dem Chip CH erzeugt werden, wobei folgende Verfahrensschritte geeignet sind:

10

a) Galvanische Abscheidung der oben bereits genannten Lotmassen und anschließendes Umschmelzen

15 b) Durch Schablonendruck von Lotdepots auf die lötfähigen Metallisierungen LM und anschließendes Umschmelzen. Dabei kann die Elektrodenpassivierung der übrigen Metallisierungen (Bauelementstrukturen) als Lötstopmmaske dienen.

20 c) Durch Laserbumping

Aufsetzen des Chips auf das Trägersubstrat

Je nach Anordnung der Bumps auf Chip oder Trägersubstrat wird
25 entweder der bebumppte Chip so auf das Trägersubstrat aufgesetzt, daß die Bumps in den Ausnehmungen angeordnet sind. Alternativ wird der Chip auf die in den Ausnehmungen befindlichen Bumps aufgesetzt, so daß diese in Kontakt mit den lötfähigen Metallisierungen treten können. Anschließend wird ein
30 Reflowprozeß durchgeführt. Dabei wird das Verhältnis von Bumpvolumen zur Fläche der UBMs (lötfähige Metallisierungen LM und/oder Ausnehmungen AN) so eingestellt, daß das Verlöten zu einer Kontraktion des Bumps führt, die ausreichend ist, um das Aufliegen des Chips auf dem Trägersubstrat beziehungsweise
35 dem Rahmen zu erreichen. Nach dem Aufliegen auf dem Trägersubstrat oder dem Rahmen ist der Chip so stabilisiert, daß die Beanspruchung der Bumps infolge unterschiedlicher thermi-

5 scher Ausdehnung von Chip, Bump und Trägersubstrat wesentlich geringer ist und die Bumpdurchmesser reduziert werden können, ohne daß die Stabilität der Verlötung und des Bauelements leidet. Ebenso werden vorzugsweise die Dicke des Rahmens und die Dicke der oberen Schicht OS so aufeinander abgestimmt, daß beide Schichten zusammen ein thermisches Ausdehnungsverhalten ergeben, welches ungefähr gleich dem Ausdehnungsverhalten des Bumps ist. Auf diese Weise wird weiterhin eine schädigende Zubeanspruchung des Bumps vermieden.

10 Aufbringen eines Lotrahmens

15 Nach dem Auflöten des Chips auf das Trägersubstrat wird ganzflächig auf der Rückseite des Chips und auf der Oberfläche des Trägersubstrats eine Metallisierung aufgebracht, beispielsweise durch Sputtern. Dafür ist insbesondere Titan in einer Stärke von 100 bis 200 nm geeignet. Diese Schicht kann anschließend mit Kupfer und/oder Nickel auf eine Dicke von zirka 2 bis 20 μm verstärkt werden. Als oxidationsbeständige und gut mit Lot benetzbare Oberflächenschicht kann auch hier 20 eine dünne Goldschicht als Abschlußschicht aufgebracht werden, beispielsweise durch Aufdampfen oder Aufsputtern. Anschließend kann diese Metallisierung strukturiert werden, so daß sie nur an den Stellen verbleibt, an denen der Lotrahmen 25 anliegen soll.

Anschließend wird ein Lotrahmen erzeugt. Dies kann beispielsweise dadurch erfolgen, daß Lotpulver ganzflächig aufgestreut wird und anschließend ein Reflowprozeß durchgeführt wird.

30 Durch Ausbilden schmelzflüssigen Lots reichert sich dieses ausschließlich an den Stellen an, wo es mit der Oberfläche benetzt, also an den mit einer blanken Metallschicht versehenen Oberflächenbereichen. Möglich ist es auch, beispielsweise ein rahmenförmiges Stück Lotfolie auszustanzen und um oder 35 über den Chip zu legen. Möglich ist es auch, Lotfolienstücke mit einer der gesamten vom Lotrahmen umgebenen Fläche entsprechenden Größe auszustanzen und über dem Chip anzuordnen.

Auch hier führt ein Reflowprozeß dazu, daß sich das Lot in den von blanken Metalloberflächen bedeckten Bereichen konzentriert. Durch entsprechende Strukturierung dieser Bereiche vor dem Aufbringen des Lotrahmens mittels einer Fotolacktechnik können die zu benetzenden Bereiche der Metallisierung auf einem engen Streifen entlang Chipkante und dieser benachbarten streifenförmigen Bereichen der Oberfläche des Trägersubstrats begrenzt werden.

- 10 Figur 9 zeigt eine alternativen Ausführungsform der Erfindung. Dabei wird der Lotrahmen LR auf dem Trägersubstrat vor dem Aufsetzen des Chips CH erzeugt. Dazu wird zunächst eine Metallisierung RMS ähnlich einer Underbumpmetallisierung (UBM) auf dem Trägersubstrat an den für den Lotrahmen vorgesehenen Stellen erzeugt. Der Lotrahmen kann dann durch Aufdrucken, Galvanische Verstärkung der UBM oder ebenfalls als rahmenförmiges Stück Lotfolie aufgebracht werden. Bei dieser Ausführung werden die Seitenkanten des Chips so abgeschrägt, daß der Chip sich zur Oberfläche mit den Bauelementstrukturen hin verjüngt. Dann wird er an den Seitenkanten vorzugsweise zusammen mit den lötfähigen Metallisierungen LM (bzw. UBM) metallisiert RMC, beispielsweise durch Sputtern. Ein bevorzugter Kantenwinkel KW an den Chipkanten beträgt dabei weniger als 45° , da dann die Metallisierungen RMC zusammen mit den UBMs auf dem Chip erzeugt werden können.

- Der Chip kann dann so auf das Trägersubstrat aufgesetzt werden, daß er mit den abgeschrägten Seitenkanten über dem Lotrahmen LR angeordnet ist und beim Verlöten gleichzeitig eine Lotverbindung zu den Metallisierungen RMC an den Seitenkanten des Chips eingeht.

Dünnen des Chips auf der Keramik

- 35 Nach dem Auflöten können die Chips gedünnt werden, um insgesamt eine noch niedrigere Bauhöhe zu erreichen. Der aufgrund der Handhabbarkeit eine für die Bauelementfunktion unnötig

hohe Dicke von zirka 250 μm aufweisende Chip (piezoelektrischer Kristall) kann dabei bis auf eine Stärke von 50 bis 100 μm gedünnt werden. Zum Dünnen ist insbesondere ein Partikelstrahl mit Aluminiumoxidpartikeln eines Durchmessers $< 50 \mu\text{m}$ geeignet. Möglich ist es auch, den Chip abzuschleifen. Die sichere Auflage des Chips auf dem Rahmen oder dem Trägersubstrat garantiert dabei, daß während des Dünnens keine Beschädigung des Chips auftritt, da er durch den Rahmen ausreichend stabilisiert ist. Vor dem Bearbeiten mit dem Partikelstrahl können mittels einer weichen Resistmaske, beispielsweise einer Fotolackmaske die Bereiche abgedeckt werden, bei denen ein Abtrag verhindert werden soll. Möglich ist es jedoch auch, gleichzeitig mit dem Dünnen des Chips Bereiche des Trägersubstrats zu entfernen oder dieses gar mittels des Strahlverfahrens vollständig zu durchtrennen. In diesem Fall kann es erforderlich sein, den Chip vorher ebenfalls mit einer Maske abzudecken.

Da die Erfindung nur anhand weniger Ausführungsbeispiele dargestellt werden konnte, ist sie nicht auf diese beschränkt. Weitere Varianten des erfindungsgemäßen Bauelements beziehungsweise des Verfahrens zu seiner Herstellung liegen insbesondere anderen geometrischen Ausgestaltungen, anderen zu verwendenden Materialien oder durch Einsatz analoger Prozesse, mit denen die gleichen Wirkungen erzielt werden können. Wesentlich bleibt jedoch stets die Anordnung der Bumps in Ausnehmungen des Trägersubstrats, mit denen die erfindungsgemäße niedrige Bauelementhöhe verbunden mit einfacherer und besserer Abdichtbarkeit des Bauelements erzielt werden kann.

30

Mit dem erfindungsgemäßen Verfahren können vorzugsweise mehrere Chips parallel auf einem entsprechend großflächigen Trägersubstrat aufgebracht, angeschlossen und verkapselt werden. Zwischen einzelnen Chips kann anschließend das Trägersubstrat durchtrennt werden, um einzelne Bauelemente oder Gruppen von miteinander zu Modulen verschalteter Bauelemente zu vereinzeln. Das Auftrennen und Vereinzeln kann mit einem Strahlpro-

35

zeß oder durch Sägen erfolgen. Oberflächenschichten und insbesondere zu durchtrennende Metallisierungen können dabei vorher ggf. strukturiert naßchemisch oder durch Plasmaätzen entfernt werden.

Patentansprüche

1. Bauelement,

- mit einem Bauelement-Strukturen tragenden Chip (CH), welcher auf einer Oberfläche mit den Bauelement-Strukturen (BS) verbundene lötfähige Metallisierungen (LM) aufweist
 - mit einem Trägersubstrat (TS), welches auf der unteren Oberfläche Anschlußflächen (KO) zur elektrisch leitenden Verbindung mit den Bauelement-Strukturen des Chips und Leiterbahnen aufweist, die mit den Anschlußflächen (AF) verbunden sind, wobei die Anschlußflächen jeweils zumindest teilweise am Boden von Ausnehmungen (AN) im Trägersubstrat (TS) freigelegt sind,
- wobei der Chip (CH) in Flip-Chip Anordnung mittels in den Ausnehmungen (AN) angeordneten Bump-Verbindungen (BU), die die lötfähigen Metallisierungen (LM) auf dem Chip und die Anschlußflächen (AF) auf dem Trägersubstrat (TS) elektrisch leitend verbinden, montiert ist und wobei der Chip zumindest teilweise auf dem Trägersubstrat aufliegt.

20

2. Bauelement nach Anspruch 1,

- mit einem mehrschichtigen Trägersubstrat (TS), welches zumindest eine obere und eine untere Schicht (OS, US) umfaßt und wobei die Anschlußflächen (AF) auf der Oberfläche der unteren Schicht angeordnet sind.

25

3. Bauelement nach Anspruch 1,

- bei dem in den Ausnehmungen (AN) im Trägersubstrat (TS) unten von lötfähigen Kontakten (KO) verschlossen sind, die auf der Unterseite des Trägersubstrats über den Ausnehmungen angeordnet sind.

30

4. Bauelement nach einem der Ansprüche 1 bis 3,

- bei dem der Chip (CH) auf einem piezoelektrischen Substrat als SAW Bauelement, als FBAR Resonator, als BAW Resonator oder als SCF Filter ausgebildet ist.

35

5. Bauelement nach Anspruch 4,
bei dem auf Chip (CH) oder Trägersubstrat (TS) ein Rahmen
(RA) so vorgesehen ist, daß ein Teil der Bauelement-
Strukturen (BS) in einem Hohlraum angeordnet ist, der vom
5 Rahmen und den beiden zueinander weisenden Oberflächen von
Chip und Trägersubstrat umschlossen wird, bei dem der Rahmen
die Auflage für den Chip oder das Trägersubstrat ausbildet,
und bei dem die Berührungsfläche zwischen Trägersubstrat und
Chip umlaufend mit einem geschlossenen Lotrahmen (LR) abge-
10 dichtet ist.
6. Bauelement nach Anspruch 5,
bei dem der Rahmen (RA) aus Kunststoff oder einer Metallisie-
rung gebildet ist, die auf dem Chip (CH) oder dem Trägersub-
15 strat (TS) vorgesehen ist, oder bei dem der Rahmen die Be-
grenzung einer auf dem Trägersubstrat vorgesehenen Vertiefung
(VT) ist, deren Tiefe (h2) zumindest der Höhe der in dem
Hohlraum angeordneten Bauelement-Strukturen (BS) entspricht.
- 20 7. Bauelement nach Anspruch 5 oder 6,
bei dem der Rahmen (RA) als Metallisierung auf der Oberfläche
des Trägersubstrats (TS) ausgebildet ist und umlaufend ent-
lang und unterhalb der zum Trägersubstrat weisenden Chipkante
angeordnet ist, und
25 bei dem die Grenzfläche zwischen Rahmen und Chip (CH) umlau-
fend mit einem geschlossenen Lotrahmen (LR) abgedichtet ist.
8. Bauelement nach einem der Ansprüche 1 bis 7,
bei dem in der unteren Schicht (US) des Trägersubstrats (TS)
30 Durchkontaktierungen (DK) vorgesehen sind, die mit einem
leitfähigen Material gefüllt sind, wobei die Oberfläche der
Durchkontaktierungen die Anschlußflächen (AF) bilden.
9. Bauelement nach einem der Ansprüche 1 bis 8,
35 bei dem das Trägersubstrat (TS) eine verzugsarme LTCC Keramik
ist.

10. Bauelement nach einem der Ansprüche 1 bis 9,
bei dem an der Unterseite des Trägersubstrats (TS) SMD fähige
Anschlußmetallisierungen (KO) vorgesehen sind, die über
Durchkontaktierungen (DK) mit zwischen zwei Schichten (US,
5 OS) des zumindest zweischichtigen Trägersubstrats angeordnete-
ten Verdrahtungen (LB) zwischen einzelnen Anschlußflächen
(AF) oder direkt mit den Anschlußflächen verbunden sind.

11. Bauelement nach einem der Ansprüche 1 bis 10,
10 bei dem der Chip (CH) zumindest im Bereich seiner Unterkante,
und das Trägersubstrat (TS) zumindest in einem Streifen un-
terhalb der Unterkante des Chips metallisiert sind, wobei die
Metallisierung zumindest eines der Metalle Al, Ni, Cu, Pt
oder Au umfaßt.

12. Bauelement nach einem der Ansprüche 1 bis 11,
bei dem auf der Rückseite des Chips (CH) eine Lackschicht
ganzflächig aufgebracht ist, die selektiv zur Erzeugung einer
Beschriftung entfernt ist.

13. Bauelement nach Anspruch 12,
bei dem unter der Lackschicht eine zur Lackschicht einen op-
tischen Kontrast bildende Zusatzschicht vorgesehen ist.

14. Bauelement nach einem der Ansprüche 1 bis 13,
bei dem die Außenkanten des Chips (CH) angeschrägt sind, daß
sich der Chip zum Trägersubstrat (TS) hin verjüngt.

15. Verfahren zur Herstellung eines verkapselten Bauelements,
30 - bei dem ein mehrschichtiges Trägersubstrat (TS) vorgesehen
wird, welches Ausnehmungen (AN) der Tiefe (h1) aufweist,
in denen lötfähige Anschlußflächen (AF) freigelegt sind,
- bei dem ein auf einer Oberfläche Bauelement-Strukturen
(BS) sowie mit diesen verbundene lötfähige Metallisierun-
35 gen (LM) aufweisender Chip (CH) vorgesehen wird,

- bei dem auf der Oberfläche des Chips oder des Trägersubstrats eine Vertiefung (VT) der Tiefe (h2) zur Aufnahme der Bauelement-Strukturen der Höhe (h3) erzeugt wird,
- bei dem auf den lötfähigen Anschlußflächen oder den lötfähigen Metallisierungen Bumps (BU) einer Höhe (h4) erzeugt werden, wobei

$$h4 > (h1 + h2)$$

- bei dem der Chip (CH) in Flip-Chip Anordnung so auf das Trägersubstrat (TS) aufgesetzt und aufgelötet wird, daß die lötfähigen Anschlußflächen (AF) über die Bumps (BU) mit den lötfähigen Metallisierungen (LM) verbunden werden, und
- wobei der Chip beim durch das Aufschmelzen bedingten Zusammensinken der Bumps auf die Höhe (h1+h2) auf das Trägersubstrat absinkt und dort aufliegt
- wobei Bauelement-Strukturen (BS) in einem durch die Vertiefung (VT) gebildeten und durch Chip oder Trägersubstrat abgedeckten Hohlraum der Höhe (h2) angeordnet sind.

16. Verfahren nach Anspruch 15,

- bei dem auf dem Trägersubstrat (TS) eine erste Kontaktmetallisierung (M) im Bereich unter der Chip-Unterkante erzeugt wird,
- bei dem auf dem Chip (CH) im Bereich zwischen der Auflagefläche und den Chip-Stirnflächen eine zweite Kontaktmetallisierung erzeugt wird,
- bei dem ein den Chip umlaufender Lotrahmen (LR) zum Verbinden von erster und zweiter Kontaktmetallisierung erzeugt wird.

17. Verfahren nach Anspruch 15 oder 16,

bei dem ein sich zur Oberfläche mit den Bauelementstrukturen verjüngender Chip mit abgeschrägten Seitenkanten verwendet wird,

bei dem der Lotrahmen vor dem Aufsetzen des Chips auf dem Trägersubstrat erzeugt wird

bei dem beim Auflöten die Seitenkanten des Chips mit dort befindlichen Metallisierungen auf dem Lotrahmen aufsitzen und mit diesem verlötet werden.

5 18.Verfahren nach Anspruch 15 bis 17,
bei dem die Bumps (BU) auf den lötfähigen Metallisierungen (LM) des Chips (CH) oder auf den lötfähigen Anschlußflächen (AF) des Trägersubstrats (TS) erzeugt werden durch

- a) galvanische Abscheidung
- 10 b) Sieb- oder Schablonendruck
- c) Einrakeln von Lotpaste in die Ausnehmungen des Trägersubstrats
- d) Einrütteln von Lotkugeln in die Ausnehmungen
- e) Laserbumping
- 15 f) Stanzen von Lotfolie über den Ausnehmungen

19.Verfahren nach Anspruch 15 bis 18,
bei dem ein zumindest eine obere und eine untere Schicht (US) aufweisendes Trägersubstrat (TS) verwendet wird und bei dem
20 für die lötfähigen Anschlußflächen (AF) in der unteren Schicht Ausnehmungen erzeugt, mit leitfähigem Material gefüllt und ggf. mit einem lötfähigen Überzug versehen werden, der die lötfähigen Anschlußflächen (AF) darstellt, die in den Ausnehmungen (AN) der oberen Schicht (OS) freigelegt werden.

25 20.Verfahren nach Anspruch 15 bis 19,
bei dem die Grundfläche der Ausnehmungen (AN) in der oberen Schicht größer gewählt wird als die Fläche der lötfähigen Anschlußflächen (AF) auf der Oberfläche der unteren Schicht
30 (US),
bei dem der Querschnitt der Bumps (BU) geringer gewählt wird als derjenige der Ausnehmungen (AN).

21.Verfahren nach einem der Ansprüche 15 bis 20,
35 bei dem von der Rückseite des Chips (CH) nach dem Auflöten und dem Erzeugen des Lotrahmens (LR) mit Hilfe eines Parti-

kelstrahlverfahrens oder durch Abschleifen Material abgetragen und der Chip so gedünnt wird.

22.Verfahren nach einem der Ansprüche 15 bis 21,

- 5 bei dem die Chips (CH) im Nutzen auf ein großflächiges Trägersubstrat (TS) aufgebracht werden und erst abschließend durch Auftrennen des Trägersubstrats zwischen den Chips zu Bauelementen oder Modulen vereinzelt werden.

23.Verfahren nach Anspruch 22,

- 10 bei dem das Vereinzeln durch ein Strahlverfahren erfolgt, bei dem der Lotrahmen (LR) als Maske dient.

24.Verfahren nach einem der Ansprüche 15 bis 23,

- 15 bei dem als Trägersubstrat (TS) eine Mehrlagenkeramik verwendet wird,

bei dem die Ausnehmungen (AN) in der oberen Schicht (OS) der Mehrlagenkeramik vor dem Sintern erzeugt und mit einer Füllmasse gefüllt werden,

- 20 bei dem die Füllmasse nach dem Sintern wieder entfernt wird.

25.Verfahren nach Anspruch 24,

bei dem für das Füllen der Ausnehmungen (AN) und das wieder Entfernen der Füllmasse eine der folgenden Verfahrenskombinationen ausgewählt wird:

- 25 a) Füllen mit Al_2O_3 und Entfernen des Al_2O_3 mit einem Strahlprozeß
b) Füllen mit PbO und Entfernen des PbO durch Auflösen mit Essigsäure
30 c) Füllen mit karbonhaltigen Materialien und Entfernen der karbonhaltigen Materialien durch Auflösen mit Essigsäure.

26.Verfahren nach einem der Ansprüche 15 bis 25,

- 35 bei dem die Haftung der Bumps (BU) auf den lötfähigen Metallisierungen (LM) durch einen der folgenden Schritte a oder b verbessert wird

- c) Aufrauen der Chipoberfläche vor dem Aufbringen der Metallisierungen im Bereich der lötfähigen Metallisierungen
 - d) Strukturiertes Aufbringen der Metallisierungen so, daß eine durchbrochene, streifen-, gitter- oder siebartige
- 5 Struktur der lötfähigen Metallisierungen entsteht, in deren Durchbrechungen die Oberfläche des Chips freigelegt ist.

FIG 1

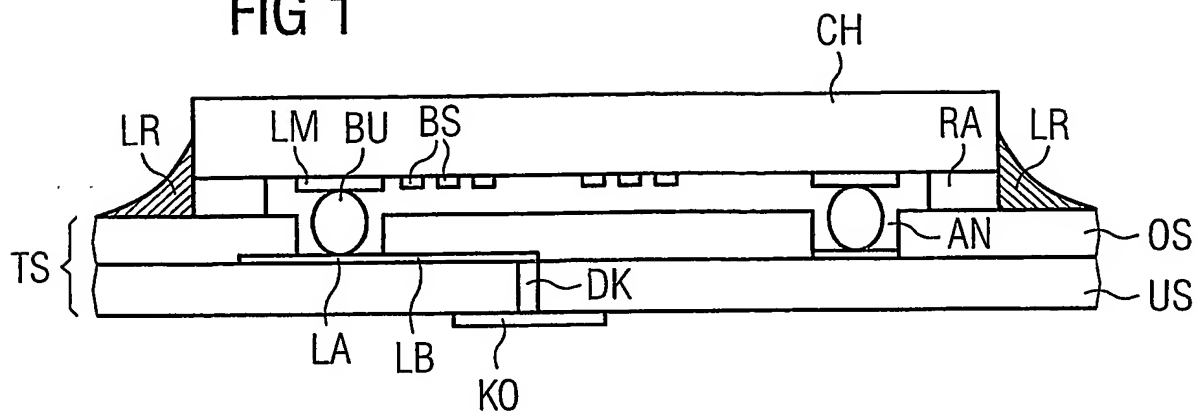


FIG 2A

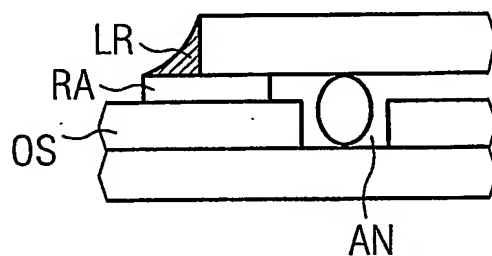


FIG 2B

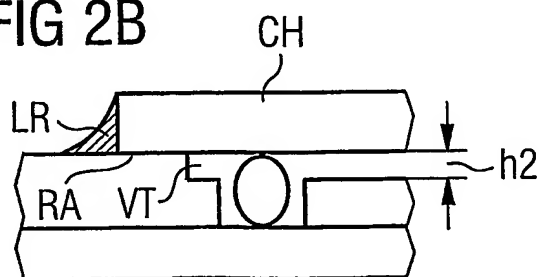


FIG 2C

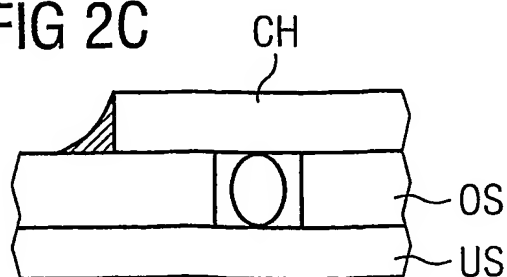


FIG 3

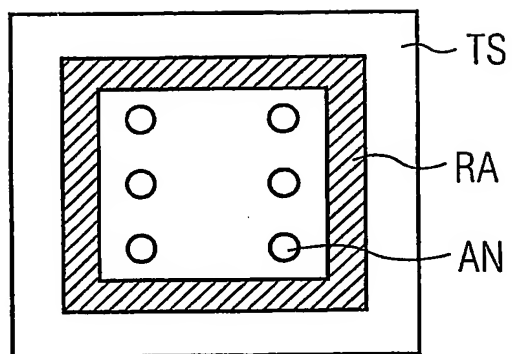


FIG 4

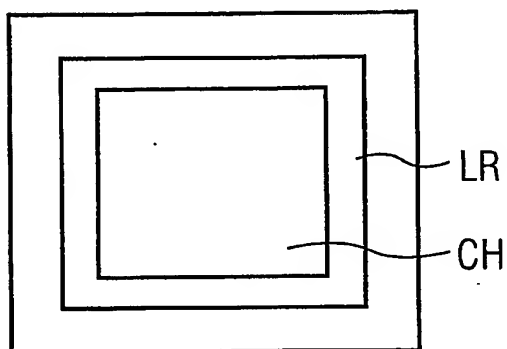


FIG 5A

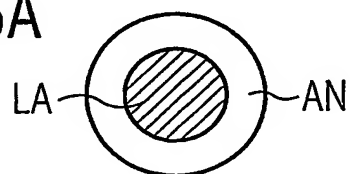


FIG 5B

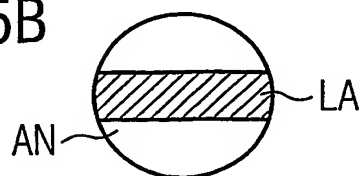


FIG 5C

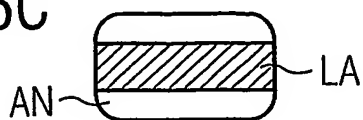


FIG 6A

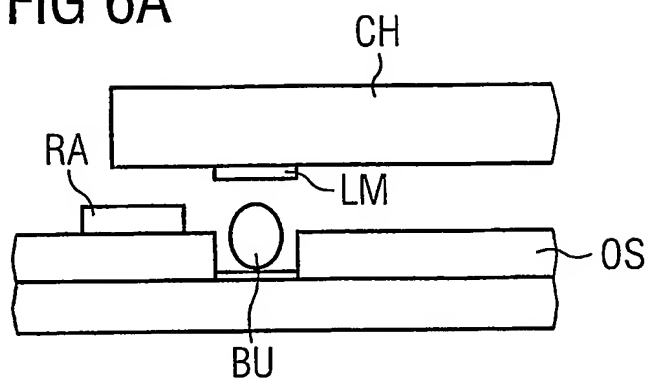


FIG 6B

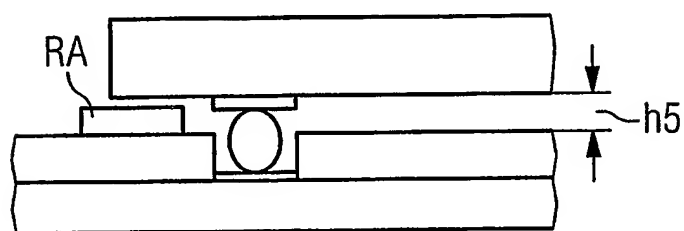


FIG 6C

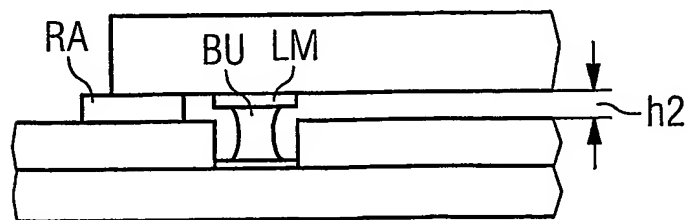


FIG 7

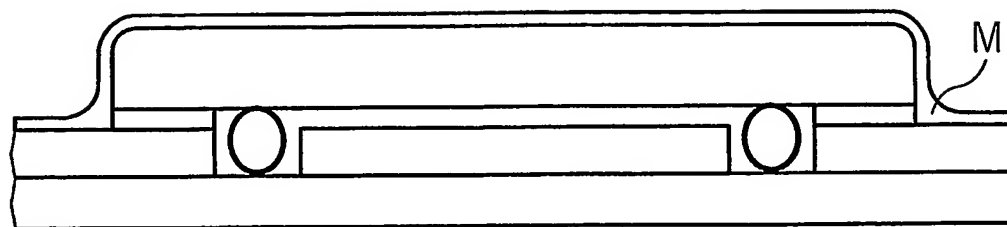


FIG 8

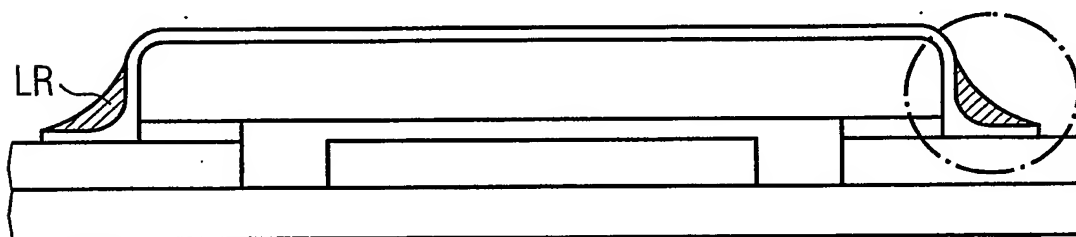


FIG 9

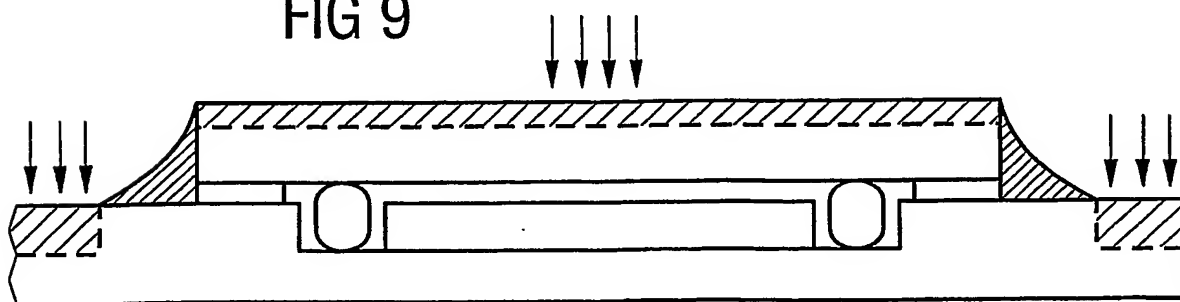


FIG 10

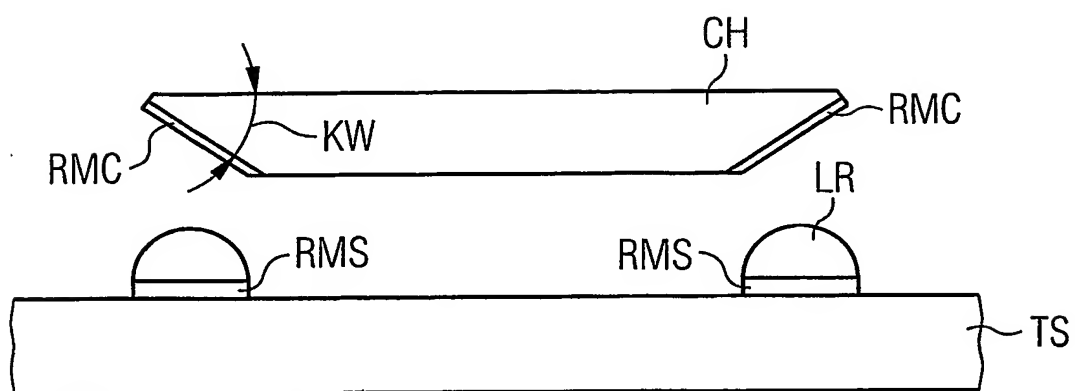
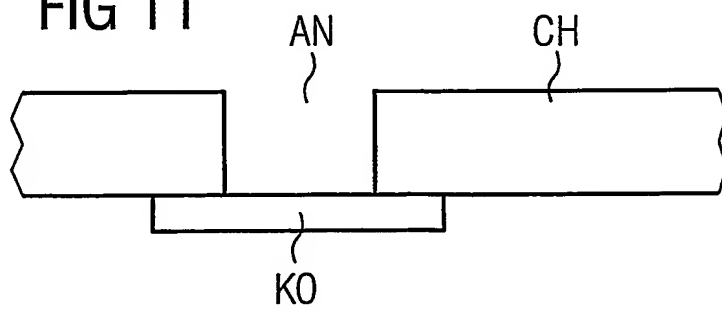


FIG 11



INTERNATIONAL SEARCH REPORT

Inter. Application No

PCT/DE 02/04535

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03H3/02 H03H3/06 H03H3/08 H03H9/05 H03H9/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03H H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, IBM-TDB, INSPEC, COMPENDEX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|------------|--|-------------------------------------|
| X | EP 0 896 427 A (NIPPON ELECTRIC CO) 10 February 1999 (1999-02-10) | 1-13, 15, 16, 18-20, 22 17 |
| Y | column 5, line 4 -column 7, line 46 figures 6-9 | |
| X | US 2001/002163 A1 (HAYASHIDA TETSUYA ET AL) 31 May 2001 (2001-05-31) paragraphs '0049!-'0066! figures 4, 11, 12 | 1-3, 8-13, 15 |
| X | US 6 137 062 A (ZIMMERMAN JOHN) 24 October 2000 (2000-10-24) | 1-3, 9-14 |
| Y | figure 9 | 17 |
| | --- -/-- | |

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

G document member of the same patent family

Date of the actual completion of the international search

16 April 2003

Date of mailing of the international search report

29/04/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Radomirescu, B-M

INTERNATIONAL SEARCH REPORT

Inte Application No

PCT/DE 02/04535

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|------------|---|-----------------------|
| X | PATENT ABSTRACTS OF JAPAN vol. 006, no. 067 (E-104), 28 April 1982 (1982-04-28) & JP 57 007611 A (FUJITSU LTD), 14 January 1982 (1982-01-14) abstract | 1,4-6 |
| X | ----- PATENT ABSTRACTS OF JAPAN vol. 1999, no. 03, 31 March 1999 (1999-03-31) & JP 10 321666 A (NEC CORP), 4 December 1998 (1998-12-04) abstract figure 2 | 1 |
| A | ----- US 5 739 585 A (WOOD ALAN G ET AL) 14 April 1998 (1998-04-14) figures 5,5A | 14,17,22 |
| A | ----- WO 01 78041 A (CHRISTL ERNST ;EPCOS AG (DE); KRUEGER HANS (DE); STELZL ALOIS (DE)) 18 October 2001 (2001-10-18) page 8, line 1-8 | 12,13 |
| A | ----- EP 1 069 616 A (SONY CHEMICALS CORP) 17 January 2001 (2001-01-17) figure 3A | 8,10,20 |
| A | ----- US 5 850 688 A (ANDO DAIZO ET AL) 22 December 1998 (1998-12-22) figure 2 | 8,10 |
| A | ----- SELMEIER P ET AL: "Recent advances in SAW packaging" 2001 IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS. ATLANTA, GA, OCT. 7 - 10, 2001, IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS, NEW YORK, NY: IEEE, US, vol. 2 OF 2, 7 October 2001 (2001-10-07), pages 283-292, XP010584527 ISBN: 0-7803-7177-1 page 286, left-hand column, line 1 -page 288, right-hand column, line 2 | 1-26 |
| P,X | ----- WO 02 061833 A (EPCOS AG ;FEIERTAG GREGOR (DE); KRUEGER HANS (DE); STELZL ALOIS (D) 8 August 2002 (2002-08-08) figures 1-7 | 1-4,8,9 |

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. Application No

PCT/DE 02/04535

| Patent document cited in search report | | Publication date | Patent family member(s) | Publication date |
|---|----|---------------------|---|--|
| EP 0896427 | A | 10-02-1999 | JP 3196693 B2 JP 11055066 A EP 0896427 A2 US 6078229 A | 06-08-2001 26-02-1999 10-02-1999 20-06-2000 |
| US 2001002163 | A1 | 31-05-2001 | JP 10270496 A SG 75830 A1 TW 418467 B US 6208525 B1 US 2002192865 A1 US 2002195718 A1 US 6461896 B1 US 2001002162 A1 | 09-10-1998 24-10-2000 11-01-2001 27-03-2001 19-12-2002 26-12-2002 08-10-2002 31-05-2001 |
| US 6137062 | A | 24-10-2000 | NONE | |
| JP 57007611 | A | 14-01-1982 | NONE | |
| JP 10321666 | A | 04-12-1998 | JP 2943764 B2 | 30-08-1999 |
| US 5739585 | A | 14-04-1998 | US 5674785 A US 6013948 A US 6235554 B1 | 07-10-1997 11-01-2000 22-05-2001 |
| WO 0178041 | A | 18-10-2001 | DE 10016867 A1 WO 0178041 A1 EP 1269450 A1 | 18-10-2001 18-10-2001 02-01-2003 |
| EP 1069616 | A | 17-01-2001 | JP 3213292 B2 JP 2001024333 A CN 1280056 A EP 1069616 A2 US 6404052 B1 | 02-10-2001 26-01-2001 17-01-2001 17-01-2001 11-06-2002 |
| US 5850688 | A | 22-12-1998 | JP 7221589 A CN 1108453 A , B DE 69520699 D1 DE 69520699 T2 EP 0665644 A1 KR 151764 B1 US 5644478 A | 18-08-1995 13-09-1995 23-05-2001 02-08-2001 02-08-1995 15-12-1998 01-07-1997 |
| WO 02061833 | A | 08-08-2002 | DE 10104574 A1 WO 02061833 A2 | 08-08-2002 08-08-2002 |

INTERNATIONALER RECHERCHENBERICHT

Inte Aktenzeichen

PCT/DE 02/04535

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H03H3/02 H03H3/06 H03H3/08 H03H9/05 H03H9/10

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H03H H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, IBM-TDB, INSPEC, COMPENDEX

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

| Kategorie* | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile | Betr. Anspruch Nr. |
|------------|--|-----------------------------|
| X | EP 0 896 427 A (NIPPON ELECTRIC CO) 10. Februar 1999 (1999-02-10) | 1-13,15, 16, 18-20,22 |
| Y | Spalte 5, Zeile 4 -Spalte 7, Zeile 46 Abbildungen 6-9 | 17 |
| X | US 2001/002163 A1 (HAYASHIDA TETSUYA ET AL) 31. Mai 2001 (2001-05-31) Absätze '0049!-'0066! Abbildungen 4,11,12 | 1-3, 8-13,15 |
| X | US 6 137 062 A (ZIMMERMAN JOHN) 24. Oktober 2000 (2000-10-24) | 1-3,9-14 |
| Y | Abbildung 9 | 17 |
| | -/-- | |

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

16. April 2003

Absenddatum des internationalen Recherchenberichts

29/04/2003

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2260 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Radomirescu, B-M

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

| Kategorie* | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile | Betr. Anspruch Nr. |
|------------|--|--------------------|
| X | PATENT ABSTRACTS OF JAPAN vol. 006, no. 067 (E-104), 28. April 1982 (1982-04-28) & JP 57 007611 A (FUJITSU LTD), 14. Januar 1982 (1982-01-14) Zusammenfassung --- | 1,4-6 |
| X | PATENT ABSTRACTS OF JAPAN vol. 1999, no. 03, 31. März 1999 (1999-03-31) & JP 10 321666 A (NEC CORP), 4. Dezember 1998 (1998-12-04) Zusammenfassung Abbildung 2 --- | 1 |
| A | US 5 739 585 A (WOOD ALAN G ET AL) 14. April 1998 (1998-04-14) Abbildungen 5,5A --- | 14,17,22 |
| A | WO 01 78041 A (CHRISTL ERNST ;EPCOS AG (DE); KRUEGER HANS (DE); STELZL ALOIS (DE)) 18. Oktober 2001 (2001-10-18) Seite 8, Zeile 1-8 --- | 12,13 |
| A | EP 1 069 616 A (SONY CHEMICALS CORP) 17. Januar 2001 (2001-01-17) Abbildung 3A --- | 8,10,20 |
| A | US 5 850 688 A (ANDO DAIZO ET AL) 22. Dezember 1998 (1998-12-22) Abbildung 2 --- | 8,10 |
| A | SELMEIER P ET AL: "Recent advances in SAW packaging" 2001 IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS. ATLANTA, GA, OCT. 7 - 10, 2001, IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS, NEW YORK, NY: IEEE, US, Bd. 2 OF 2, 7. Oktober 2001 (2001-10-07), Seiten 283-292, XP010584527 ISBN: 0-7803-7177-1 Seite 286, linke Spalte, Zeile 1 -Seite 288, rechte Spalte, Zeile 2 --- | 1-26 |
| P,X | WO 02 061833 A (EPCOS AG ;FEIERTAG GREGOR (DE); KRUEGER HANS (DE); STELZL ALOIS (D) 8. August 2002 (2002-08-08) Abbildungen 1-7 ----- | 1-4,8,9 |

INTERNATIONALER RESEARCHBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Inte Aktenzeichen

PCT/DE 02/04535

| Im Recherchenbericht angeführtes Patentdokument | Datum der Veröffentlichung | Mitglied(er) der Patentfamilie | Datum der Veröffentlichung |
|--|-------------------------------|---|--|
| EP 0896427 A | 10-02-1999 | JP 3196693 B2 JP 11055066 A EP 0896427 A2 US 6078229 A | 06-08-2001 26-02-1999 10-02-1999 20-06-2000 |
| US 2001002163 A1 | 31-05-2001 | JP 10270496 A SG 75830 A1 TW 418467 B US 6208525 B1 US 2002192865 A1 US 2002195718 A1 US 6461896 B1 US 2001002162 A1 | 09-10-1998 24-10-2000 11-01-2001 27-03-2001 19-12-2002 26-12-2002 08-10-2002 31-05-2001 |
| US 6137062 A | 24-10-2000 | KEINE | |
| JP 57007611 A | 14-01-1982 | KEINE | |
| JP 10321666 A | 04-12-1998 | JP 2943764 B2 | 30-08-1999 |
| US 5739585 A | 14-04-1998 | US 5674785 A US 6013948 A US 6235554 B1 | 07-10-1997 11-01-2000 22-05-2001 |
| WO 0178041 A | 18-10-2001 | DE 10016867 A1 WO 0178041 A1 EP 1269450 A1 | 18-10-2001 18-10-2001 02-01-2003 |
| EP 1069616 A | 17-01-2001 | JP 3213292 B2 JP 2001024333 A CN 1280056 A EP 1069616 A2 US 6404052 B1 | 02-10-2001 26-01-2001 17-01-2001 17-01-2001 11-06-2002 |
| US 5850688 A | 22-12-1998 | JP 7221589 A CN 1108453 A ,B DE 69520699 D1 DE 69520699 T2 EP 0665644 A1 KR 151764 B1 US 5644478 A | 18-08-1995 13-09-1995 23-05-2001 02-08-2001 02-08-1995 15-12-1998 01-07-1997 |
| WO 02061833 A | 08-08-2002 | DE 10104574 A1 WO 02061833 A2 | 08-08-2002 08-08-2002 |